

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-165758
(43)Date of publication of application : 16.06.2000

(51)Int.Cl. H04N 5/335
H04N 5/232

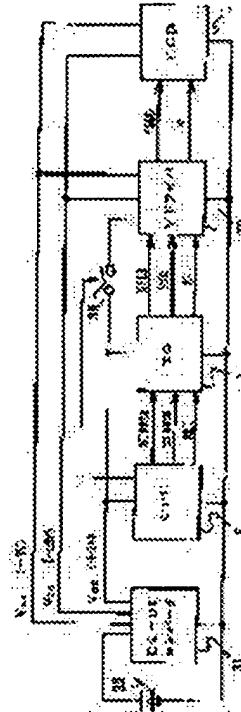
(21)Application number : 10-332456 (71)Applicant : OLYMPUS OPTICAL CO LTD
(22)Date of filing : 24.11.1998 (72)Inventor : KIJIMA TAKAYUKI

(54) IMAGE PICKUP DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain an image pickup device capable of effectively preventing the generation of abnormal leak current at the time of power supply or the like without increasing its cost.

SOLUTION: This image pickup device having an image pickup element 1 for reading a pixel signal is provided with operation controlling means 6 and 8 for controlling the operation of the image pickup element 1, a driving circuit 30 for converting the outputs of the operation controlling means into a driving signal suited to the driving of the image pickup element 1, and power source circuits 31 and 32 for supplying a power source to the driven circuit 30. The operation controlling means change an operation mode according to whether or not a power supply voltage from the power source circuits is supplied to the driving circuit 30.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-165758
(P2000-165758A)

(43)公開日 平成12年6月16日 (2000.6.16)

(51)Int.Cl. ¹	識別記号	F I	テーマコード(参考)
H 04 N 5/335		H 04 N 5/335	Z 5 C 0 2 2
5/232		5/232	Z 5 C 0 2 4

審査請求 未請求 請求項の数5 O L (全 9 頁)

(21)出願番号 特願平10-332456
(22)出願日 平成10年11月24日 (1998.11.24)

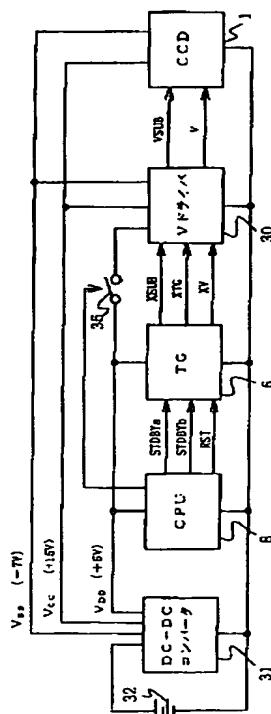
(71)出願人 000000376
オリンパス光学工業株式会社
東京都渋谷区幡ヶ谷2丁目43番2号
(72)発明者 木島 貴行
東京都渋谷区幡ヶ谷2丁目43番2号 オリ
ンパス光学工業株式会社内
(74)代理人 100059258
弁理士 杉村 晓秀 (外8名)
Fターム(参考) 5C022 AA13 AB31 AB67 AC00 AC03
AC69 AC73
5C024 BA01 CA03 FA01 FA05

(54)【発明の名称】 撮像装置

(57)【要約】

【課題】 コストアップを招くことなく、電源投入時等における異常なリーク電流の発生を有効に防止できる撮像装置を提供する。

【解決手段】 画素信号を読み出し可能な撮像素子1を有する撮像装置において、撮像素子1の動作を制御する動作制御手段(6, 8)と、動作制御手段の出力を撮像素子1の駆動に適した駆動信号に変換する駆動回路30と、駆動回路30に電源を供給する電源回路(31, 32)とを有し、動作制御手段は駆動回路30に電源回路からの電源電圧が供給されているか否かに応じて動作モードを変更するようとする。



【特許請求の範囲】

【請求項1】 画素信号を読み出し可能な撮像素子を有する撮像装置において、
上記撮像素子の動作を制御する動作制御手段と、
上記動作制御手段の出力を上記撮像素子の駆動に適した駆動信号に変換する駆動回路と、
上記駆動回路に電源を供給する電源回路とを有し、
上記動作制御手段は、上記駆動回路に上記電源回路からの電源電圧が供給されているか否かに応じて動作モードを変更するよう構成されていることを特徴とする撮像装置。

【請求項2】 請求項1記載の撮像装置において、
上記動作制御手段は、少なくとも低消費電流モードおよびリセットモードの2種類の非動作モードを有し、
上記駆動回路に電源電圧が供給されている状態では低消費電流モードとし、
上記駆動回路に電源電圧が供給されていない状態ではリセットモードとすることを特徴とする撮像装置。

【請求項3】 画素信号を読み出し可能な撮像素子を有する撮像装置において、
上記撮像素子の動作を制御するタイミング信号を発生するタイミング信号発生手段と、
上記タイミング信号発生手段から発生されるタイミング信号を、上記撮像素子の駆動に適した駆動信号に変換する駆動回路と、
上記駆動回路に電源を供給する電源回路とを有し、
上記タイミング信号発生手段は、上記駆動回路に上記電源回路からの電源電圧が供給されているか否かに応じて、上記駆動回路に対する出力を変更するよう構成されていることを特徴とする撮像装置。

【請求項4】 請求項3記載の撮像装置において、
上記タイミング信号発生手段は、低消費電流モードを有し、
該低消費電流モード状態で、上記駆動回路に上記電源回路からの電源電圧が供給されているか否かに応じて、上記駆動回路に対する出力を変更することを特徴とする撮像装置。

【請求項5】 請求項3または4記載の撮像装置において、
上記タイミング信号発生手段はタイミングジェネレータであり、
上記駆動回路は垂直転送ドライバであることを特徴とする撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、例えば、電子スチールカメラやビデオカメラ等の画素信号を読み出し可能な撮像素子を有する撮像装置に関するものである。

【0002】

【従来の技術】 例えば、従来の撮像装置として、図7に

示すように、直流電源51、DC-DCコンバータ52、CPU53、タイミングジェネレータ(TG)54、垂直(V)ドライバ55、およびCCD56を有し、直流電源51からDC-DCコンバータ52を介してCPU53およびTG54に所定の電源電圧VDDを供給すると共に、スイッチ57を経てVドライバ55およびCCD56に電源電圧VDDを供給し、CPU53によりTG54を制御して、Vドライバ55にサブパルスタイミング信号XSUB、トランスマーケットパルスタイミング信号XTG、垂直シフトレジスタ転送パルスタイミング信号XVを供給し、これによりVドライバ55からCCD56にサブパルスVSUB、垂直シフトレジスタ転送パルスVを供給して、CCD56を駆動するようとしたものが知られている。

【0003】 ここで、サブパルスタイミング信号XSUBは、CCD56が縦型オーバーフロードレイン型の場合に、フォトダイオード内で発生した電荷を縦方向に排出するサブパルスVSUBを生成するためのタイミング信号である。また、トランスマーケットパルスタイミング信号XTGは、CCD56のフォトダイオードに蓄積された信号電荷を垂直シフトレジスタに転送するためのタイミング信号であり、垂直シフトレジスタ転送パルスタイミング信号XVは、CCD56の垂直シフトレジスタを駆動して信号電荷を水平シフトレジスタ側へ転送するためのタイミング信号で、これらトランスマーケットパルスタイミング信号XTGおよび垂直シフトレジスタ転送パルスタイミング信号XVに基づいて、垂直シフトレジスタ転送パルスVが生成される。

【0004】 図7に示した従来の撮像装置においては、電源投入により、先ずCPU53が初期化され、内部ROMに格納されたプログラムに従って処理が開始され、これによりDC-DCコンバータ52が起動されて、図8にタイミングチャートを示すように、CPU53およびTG54に所定の電源電圧VDDが供給される。この時、Vドライバ55およびCCD56には、VDD等の全ての電源が供給されていない。

【0005】 ここで、Vドライバ55は、通常、各入力端子に供給される信号がローレベル(L)でアクティブになるので、Vドライバ55およびCCD56に電源が供給されていない状態では、CPU53はTG54に対して制御信号STDBYをLレベルとしてTG54をスタンバイ状態とし、これによりTG54からVドライバ55に供給する各タイミング信号XSUB、XTGおよびXVを非アクティブなハイ(H)レベルとしている。

【0006】 その後、CPU53は、TG54に対して制御信号STDBYをHレベルとして、TG54の内部クロックの発振動作を開始させると共に、そのクロック発振が安定する所定時間経過した時点で、Vドライバ55およびCCD56にVDD等の電源を供給し、さらに所定時間経過した時点で、TG54に対して内部ロジック回路

の初期化を行うリセット信号RSTをLレベルからHレベルに切り換えて、TG54において動作モードに応じた動作を開始させるようにしている。

【0007】

【発明が解決しようとする課題】しかしながら、上述した従来の撮像装置にあっては、CPU53およびTG54に電源電圧VDDが供給された時点から、Vドライバ55およびCCD56にVDD等の電源が供給されて正常に動作する時点までの期間Aにおいて、TG54からVドライバ55に非アクティブなHレベルの各タイミング信号XSUB、XTGおよびXVが供給されているため、Vドライバ55において、図9に示すように、入力段に設けられた保護回路のダイオードDやプルアップ抵抗R、あるいはその他の経路を経てリーク電流ILEAKが流れ込むことになる。これがため、Vドライバ55に過大な電源電流が流れる等、内部回路へ悪影響を及ぼし、最悪、回路破壊に至る等の問題がある。

【0008】なお、このような問題を解決する方法として、例えば特開平3-195331号公報に開示されている技術を利用し、Vドライバ55の入力段にバッファを設けることが考えられるが、このようにするとコストアップになるという問題が生じることになる。

【0009】この発明は、上述した従来の問題点に着目してなされたもので、コストアップを招くことなく、電源投入時等における異常なリーク電流の発生を有効に防止できるよう適切に構成した撮像装置を提供することを目的とするものである。

【0010】

【課題を解決するための手段】上記目的を達成するため、請求項1に係る発明は、画素信号を読み出し可能な撮像素子を有する撮像装置において、上記撮像素子の動作を制御する動作制御手段と、上記動作制御手段の出力を上記撮像素子の駆動に適した駆動信号に変換する駆動回路と、上記駆動回路に電源を供給する電源回路とを有し、上記動作制御手段は、上記駆動回路に上記電源回路からの電源電圧が供給されているか否かに応じて動作モードを変更するよう構成されていることを特徴とするものである。

【0011】さらに、請求項2に係る発明は、請求項1記載の撮像装置において、上記動作制御手段は、少なくとも低消費電流モードおよびリセットモードの2種類の非動作モードを有し、上記駆動回路に電源電圧が供給されている状態では低消費電流モードとし、上記駆動回路に電源電圧が供給されていない状態ではリセットモードとすることを特徴とするものである。

【0012】さらに、請求項3に係る発明は、画素信号を読み出し可能な撮像素子を有する撮像装置において、上記撮像素子の動作を制御するタイミング信号を発生するタイミング信号発生手段と、上記タイミング信号発生手段から発生されるタイミング信号を、上記撮像素子の

駆動に適した駆動信号に変換する駆動回路と、上記駆動回路に電源を供給する電源回路とを有し、上記タイミング信号発生手段は、上記駆動回路に上記電源回路からの電源電圧が供給されているか否かに応じて、上記駆動回路に対する出力を変更するよう構成されていることを特徴とするものである。

【0013】さらに、請求項4に係る発明は、請求項3記載の撮像装置において、上記タイミング信号発生手段は、低消費電流モードを有し、該低消費電流モード状態で、上記駆動回路に上記電源回路からの電源電圧が供給されているか否かに応じて、上記駆動回路に対する出力を変更することを特徴とするものである。

【0014】さらに、請求項5に係る発明は、請求項3または4記載の撮像装置において、上記タイミング信号発生手段はタイミングジェネレータであり、上記駆動回路は垂直転送ドライバであることを特徴とするものである。

【0015】

【発明の実施の形態】以下、図面を参照して、この発明の一実施形態について説明する。図1は、この発明に係る撮像装置の一実施形態の構成を示すブロック図である。この撮像装置は、基本的には静止画を撮像して記録することを主目的としたもので、レンズ(図示せず)および絞り17を介して入射した被写体像を電気信号に変換するCCD1と、このCCD1の出力からリセット雑音等を除去するための相関二重サンプリング回路(CDS)2と、このCDS2の出力のゲインを調節するゲインコントロールアンプ(AMP)3と、このAMP3の出力信号をデジタル信号に変換するアナログデジタル変換器(A/D)4と、デジタル信号に変換された画像信号に各種の処理を施すプロセス処理回路5と、CCD1を駆動するための各種の駆動パルスを出力すると共に、CDS2でのサンプルホールド用のパルスを出力し、さらにA/D4でA/D変換を行うためのタイミングパルスを出力するタイミングジェネレータ(TG)6と、このTG6と後述するCPU8との同期をとるための信号を発生するシグナルジェネレータ(SG)7と、CCD1の読み出し制御手段を構成すると共に、撮像装置全体についてタイミング等を含む各種の制御を行う例えばマイクロコンピュータからなるCPU8と、プロセス処理回路5から出力されるCCD1の画素データや、後述する記録媒体16から圧縮伸長回路15を経て供給される画像データを蓄積するメモリを構成するDRAM9と、レンズおよび絞り17によるオートフォーカスを制御するためのオートフォーカス回路(AF)10と、CCD1に結像される被写体像の測光を行うための自動露出制御回路(AE)11と、ホワイトバランスを自動的に制御するためのオートホワイトバランス回路(AWB)12と、この撮像装置に内蔵されているモニタである液晶表示装置13と、外部のモニタ等の表示装置に画像信号

等を出力するための外部表示用端子14と、DRAM9に蓄積された1フレーム分の画像データを後述する記録媒体16にデータ量を減らして記録するために圧縮し、また該記録媒体16から読み出した圧縮された画像データを伸長する圧縮伸長回路15と、静止画データを記録する記録媒体16と、を有している。

【0016】図2は、図1に示すCCD1の一例の構成を模式的に示すものである。このCCD1は、縦型オーバーフロードレイン構造をもつインターライン形のもので、水平方向および垂直方向に二次元的に配列され、光の入射により電荷の蓄積を行う電荷蓄積領域を構成するフォトダイオード21と、このフォトダイオード21に蓄積された電荷をトランスマルチゲート22を介して受け取った後に、垂直方向に順次転送する垂直シフトレジスタ23と、この垂直シフトレジスタ23により転送される電荷を水平方向に順次転送する水平シフトレジスタ24と、この水平シフトレジスタ24の出力信号を增幅して出力する信号検出器25とを有している。

【0017】図1に示す撮像装置は、全体的には、以下のように動作する。すなわち、記録媒体16に画像を記録する際には、CCD1から、CDS2、AMP3、A/D4およびプロセス処理回路5を経て出力される画像データが、例えば液晶表示装置13に供給されて表示される。これにより、撮影者は、液晶表示装置13を見ながら被写体の構図等を決定することができる。この状態で、図示しない撮影ボタンが押されると、プロセス処理回路5からの画像データがDRAM9を介して圧縮伸長回路15で圧縮されて記録媒体16に記録される。

【0018】また、記録媒体16に記録されている画像データを再生する際には、記録媒体16から読み出された圧縮された画像データが圧縮伸長回路15で伸長処理されてDRAM9に書き込まれ、このDRAM9に書き込まれた画像データがプロセス処理回路5を介して液晶表示装置13や、外部表示用端子14を経て外部表示装置に供給されて静止画として再生される。

【0019】図3は、図1において、CCD1の周辺部分を抜き出した電源系を含めた部分詳細図で、バッテリ等の直流電源32、DC-DCコンバータ31、CPU8、TG6、Vドライバ30およびCCD1を示している。CPU8は、TG6の各種動作モードを設定するが、ここではTG6のスタンバイモード（省電力モード）を設定するための制御信号STDBYaおよびSTDBYbと、TG6の内部ロジック回路の初期化を行うリセット信号RSTとを示している。

【0020】TG6は、CPU8によって指示された動作モードに従って、図4に示すように、Vドライバ30にサブパルスタイミング信号XSUB、トランスマルチゲートパルスタイミング信号XTG、垂直シフトレジスタ転送パルスタイミング信号XVを供給する。

【0021】Vドライバ30は、CCD1の垂直ドライ

バで、CCD1の垂直シフトレジスタ駆動用ドライバ、オーバーフロードレインシャッタ駆動用ドライバ等を内蔵し、TG6からの各種タイミング信号（XSUB、XTG、XV）に基づいて、図4に示すサブパルスV SUB、垂直シフトレジスタ転送パルスVをCCD1に供給し、これによりCCD1の信号電荷蓄積および読み出し動作を制御する。なお、図4にはVドライバ30の入出力信号の他に、CCD1における垂直同期パルスVDおよびCCD1の出力信号をも示している。

【0022】ここで、サブパルスタイミング信号XSUBは、CCD1のフォトダイオード21内で発生した電荷を縦方向に排出するサブパルスV SUBを生成するためのタイミング信号である。また、トランスマルチゲートパルスタイミング信号XTGは、CCD1のフォトダイオード21に蓄積された信号電荷を垂直シフトレジスタ23に転送するためのタイミング信号であり、垂直シフトレジスタ転送パルスタイミング信号XVは、CCD1の垂直シフトレジスタ23を駆動して信号電荷を水平シフトレジスタ24側へ転送するためのタイミング信号で、これらトランスマルチゲートパルスタイミング信号XTGおよび垂直シフトレジスタ転送パルスタイミング信号XVに基づいて、垂直シフトレジスタ転送パルスVが生成される。なお、フォトダイオード21には、サブパルスV SUBの発生からトランスマルチゲートパルスタイミング信号XTGの区間で信号電荷が蓄積され、この時間を制御することにより露光時間が制御される。

【0023】DC-DCコンバータ31は、CPU8によって制御され、直流電源32の出力電圧を昇圧または降圧して、安定化した電源として撮像装置の各部に供給する。ここでは、DC-DCコンバータ31からVDD（例えば、+5.0V）、VCC（例えば、+15V）およびVSS（例えば、-7V）の各電圧を出力させ、VDDをロジック信号用電源としてCPU8、TG6等に供給すると共に、CPU8によって制御されるスイッチ35を介してVドライバ30に供給する。また、VCCおよびVSSは、CCD1の駆動用電源としてCCD1およびVドライバ30にそれぞれ供給する。

【0024】この実施形態では、CPU8からTG6に供給する制御信号STDBYaおよびSTDBYbに基づいて、TG6の動作モードを表1に示すように設定する。

【表1】

STDBYa	STDBYb	動作モード	XSUB, XTG, XV
H	H	通常動作	通常動作
H	L	スタンバイ1	H
L	H	内部クロックオン	L
L	L	スタンバイ2	L

【0025】表1において、制御信号STDBYaおよびSTDBYbがともにHレベルで設定される通常動作モードでは、CCD1は信号蓄積および読み出し動作をフレーム毎に

繰り返し行う。したがって、この通常動作モードでは、TG6の内部クロックもオンにする。また、制御信号STDBYaがLレベル、STDBYbがHレベルで設定される内部クロックオンモードでは、TG6の内部クロックのみをオンとして、各タイミング信号XSUB, XTG, XV をそれぞれLレベルのアクティブ状態とする。

【0026】さらに、制御信号STDBYaがHレベル、STDBYbがLレベルで設定されるスタンバイ1のモードでは、各タイミング信号XSUB, XTG, XV をそれぞれHレベルの非アクティブ状態とし、制御信号STDBYaおよびSTDBYbがともにLレベルで設定されるスタンバイ2のモードでは、各タイミング信号XSUB, XTG, XV をそれぞれLレベルのアクティブ状態とする。

【0027】次に、この実施形態の撮像装置の動作を、図5に示すタイミングチャートを参照しながら説明する。撮像装置に電源が投入されると、CPU8は初期化され、内部ROMに格納されたプログラムに従って動作を開始する。この動作開始においては、先ず、DC-DCコンバータ31を起動して、CPU8およびTG6等の各部に所定の電源電圧VDDを供給する。なお、この動作開始時点では、CCD1およびVドライバ30には、VDD, VCC, VSSの電源は供給しない。

【0028】CPU8は、制御信号STDBYaおよびSTDBYbをともにLレベルとして、TG6をスタンバイモードに設定して、TG6からVドライバ30に出力する各タイミング信号XSUB, XTG, XV をそれぞれLレベルのアクティブ状態とする。したがって、この状態では、Vドライバ30に電源が供給されていなくても、入力される各タイミング信号XSUB, XTG, XV がそれぞれLレベルなので、従来のようにリーク電流が発生することはない。

【0029】その後、CPU8は、制御信号STDBYbをHレベルとして、TG6を内部クロックオンモードとし、これによりTG6の内部クロックを起動させて動作を開始する準備を行う。

【0030】次に、CPU8はDC-DCコンバータ31を制御して、CCD1およびVドライバ30に対する電源VCCおよびVSSを発生させると共に、スイッチ35をオンしてVドライバ30に電源電圧VDDを供給する。

【0031】その後、CPU8は、VCCおよびVSSの電圧が安定する所定時間t1経過した時点で、制御信号STDBYaをHレベルとしてTG6を通常動作可能な状態に設定し、さらに所定時間t2経過した時点でリセット信号RSTをHレベルとしてTG6の内部回路のリセット状態を解除する。これにより、TG6は、撮像動作に必要な各タイミング信号XSUB, XTG, XV をVドライバ30に供給して、Vドライバ30を介してCCD1の信号蓄積および読み出し動作を制御する。

【0032】次に、CCD1で撮像して得た画像データを記録媒体16に記録する場合等、撮像動作を行う必要がなく、また消費電流を低減させたい場合に設定するス

タンバイ1の動作モードについて説明する。このスタンバイ1の動作モードでは、CPU8は、制御信号STDBYaをHレベル、STDBYbをLレベルにすると共に、TG6の内部クロック等を停止させて消費電流を低減させる。また、各タイミング信号XSUB, XTG, XV は、それぞれHレベルの非アクティブ状態に固定する。なお、このスタンバイ1の動作モードでは、CCD1およびVドライバ30にVCCおよびVSSの電圧が供給されているので、各タイミング信号XSUB, XTG, XV がそれぞれHレベルに固定されても、リーク電流は発生しない。

【0033】このスタンバイ1の動作モードから通常動作モードに復帰するには、制御信号STDBYbをHレベルとすればよい。この場合、CCD1およびVドライバ30には、VCCおよびVSSの電圧が供給され続けているので、非常に短時間で通常動作モードに復帰することができる。

【0034】次に、スタンバイ2の動作モードについて説明する。先ず、リセット信号RSTをHレベルからLレベルとし、制御信号STDBYaおよびSTDBYbがともにHレベルの状態から制御信号STDBYaをLレベルとして各タイミング信号XSUB, XTG, XV をLレベルに固定し、TG内部クロックのみオンさせた状態とする。その後、スイッチ35をオフしてVドライバ30に対する電源電圧VDDの供給を遮断すると共に、CCD1およびVドライバ30へのVCCおよびVSSの電圧の供給を遮断した状態で、制御信号STDBYbをLレベルとしてスタンバイ2の状態とし、TG内部クロックもオフする。

【0035】したがって、このスタンバイ2の動作モードでは、CCD1およびVドライバ30に対してVDD, VCCおよびVSSの電圧が供給されないので、スタンバイ1の動作モードに比較して、さらに低消費電流とすることができます。

【0036】このスタンバイ2の動作モードから通常動作モードに復帰するには、先ず、制御信号STDBYbをHレベルとしてTG内部クロックをオンとし、次にスイッチ35をオンしてDC-DCコンバータ31からVドライバ30に電源電圧VDDを供給すると共に、CCD1およびVドライバ30にVCCおよびVSSの電圧を供給し、さらに制御信号STDBYaをHレベルとした後、リセット信号RSTをHレベルとする。したがって、この場合は、上述したスタンバイ1の動作モードから通常動作モードに復帰する場合よりも、長い復帰時間を要することになる。

【0037】なお、TG6は、内部にクロック発振回路を有しており、このクロック発振回路からのクロックをTG6以外の周辺回路にも供給している。このため、TG6には、内部クロックオフ(スタンバイ)時でも、電源電圧VDDは給電し続け、クロック発振回路の発振動作を継続させる。

【0038】次に、この発明の第2実施形態について説明する。第2実施形態の構成は、第1実施形態とほぼ同

様であるが、この実施形態では、図3において、CPU8からTG6に制御信号STDBYおよびリセット信号RSTを供給し、これらの信号に基づいてTG6の動作モードを表2に示すように設定する。

【表2】

RST	STDBY	動作モード	XSUB, XTG, XV
H	H	通常動作	通常動作
H	L	スタンバイ	H
L	H	リセット(内部クロックオン)	L
L	L	リセット(内部クロックオフ)	L

【0039】表2において、リセット信号RSTおよび制御信号STDBがともにHレベルで設定される通常動作モードでは、CCD1は通常の信号蓄積および読み出し動作をフレーム毎に繰り返し行う。したがって、この通常動作モードでは、TG6の内部クロックもオンにする。また、リセット信号RSTがHレベル、制御信号STDBYがLレベルで設定されるスタンバイモードでは、TG6の内部クロックをオフとして低消費電流状態とすると共に、各タイミング信号XSUB, XTG, XVはそれぞれHレベルの非アクティブ状態とする。

【0040】さらに、リセット信号RSTがLレベル、制御信号STDBYがHレベルで設定されるリセットモードでは、TG6の内部クロックはオンとして、内部ロジックをリセットし、各タイミング信号XSUB, XTG, XVはそれぞれLレベルのアクティブ状態とし、リセット信号RSTおよび制御信号STDBYがともにLレベルで設定されるリセットモードでは、TG6の内部クロックはオンとし、各タイミング信号XSUB, XTG, XVはそれぞれLレベルのアクティブ状態とする。

【0041】次に、この第2実施形態の撮像装置の動作を、図6に示すタイミングチャートを参照しながら説明する。撮像装置に電源が投入されると、第1実施形態の場合と同様に、CPU8は初期化され、内部ROMに格納されたプログラムに従って動作を開始する。この動作開始においては、先ず、DC-DCコンバータ31を起動して、CPU8およびTG6等の各部に所定の電源電圧VDDを供給する。なお、この動作開始時点では、CCD1およびVドライバ30には、VDD, VCC, VSSの電源は供給しない。

【0042】CPU8は、リセット信号RSTおよび制御信号STDBYをともにLレベルとして、TG6をリセットモードに設定して、TG6からVドライバ30に出力する各タイミング信号XSUB, XTG, XVをそれぞれLレベルのアクティブ状態とする。したがって、この状態では、Vドライバ30に電源が供給されていなくても、入力される各タイミング信号XSUB, XTG, XVがそれぞれLレベルなので、第1実施形態と同様にリーク電流が発生することはない。

【0043】その後、CPU8は、所定時間t3を経過した時点で、制御信号STDBYをHレベルとして、TG6の内部クロックをオンとし、これによりTG6の内部クロックを起動させて動作を開始する準備を行う。

【0044】次に、CPU8はDC-DCコンバータ31を制御して、CCD1およびVドライバ30に対する電源VCCおよびVSSを発生させると共に、スイッチ35をオンしてVドライバ30に電源電圧VDDを供給する。

【0045】その後、CPU8は、VCCおよびVSSの電圧が安定する所定時間t4を経過した時点で、リセット信号RSTをHレベルとしてTG6を通常動作モードに設定する。これにより、TG6は、撮像動作に必要な各タイミング信号XSUB, XTG, XVをVドライバ30に供給して、Vドライバ30を介してCCD1の信号蓄積および読み出し動作を制御する。

【0046】また、CCD1で撮像して得た画像データを記録媒体16に記録する場合等、撮像動作を行う必要がなく、また消費電流を低減させたい場合に設定するスタンバイモードでは、CPU8は、リセット信号RSTをHレベル、制御信号STDBYをLレベルとして消費電流を低減させる。また、各タイミング信号XSUB, XTG, XVは、それぞれHレベルの非アクティブ状態に固定する。このように各タイミング信号XSUB, XTG, XVをそれぞれHレベルに固定しても、このスタンバイモードでは、CCD1およびVドライバ30にVCCおよびVSSの電圧が供給されているので、リーク電流は発生しない。

【0047】なお、スタンバイモードから通常動作モードに復帰するには、制御信号STDBYをHレベルとすればよい。この場合、CCD1およびVドライバ30には、VCCおよびVSSの電圧が供給され続けているので、非常に短時間で通常動作モードに復帰することができる。

【0048】

【発明の効果】以上説明したように、この発明によれば、駆動回路の入力段にバッファを設けることなく、駆動回路の電源状態に応じて、動作制御手段の動作モードを設定して、駆動回路への出力信号状態を変更するようにしたので、コストアップを招くことなく、電源投入時等における異常なリーク電流の発生を有効に防止することができる。

【図面の簡単な説明】

【図1】この発明に係る撮像装置の第1実施形態の構成を示すブロック図である。

【図2】図1に示すCCDの一例の構成を模式的に示す図である。

【図3】図1の部分詳細図である。

【図4】図3に示すVドライバの入出力信号のタイミングチャートである。

【図5】第1実施形態の動作を示すタイミングチャートである。

【図6】同じく、第2実施形態の動作を示すタイミング

チャートである。

【図7】従来の撮像装置の要部の構成を示すブロック図である。

【図8】同じく、その動作を示すタイミングチャートである。

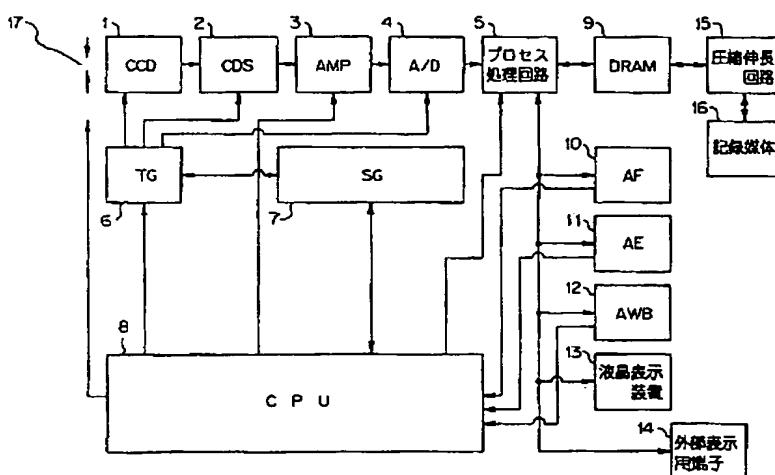
【図9】従来の問題点を説明するための図である。

【符号の説明】

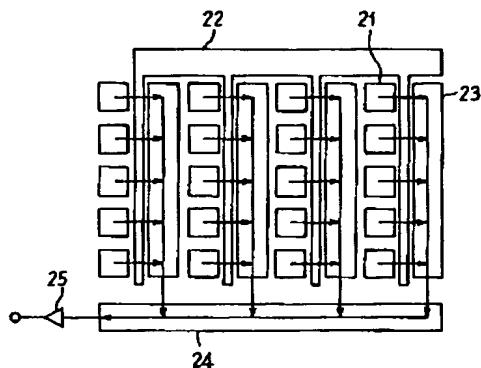
- 1 CCD
- 2 相関二重サンプリング回路 (CDS)
- 3 ゲインコントロールアンプ (AMP)
- 4 アナログデジタル変換器 (A/D)
- 5 プロセス処理回路
- 6 タイミングジェネレータ (TG)
- 7 シグナルジェネレータ (SG)
- 8 CPU
- 9 DRAM
- 10 オートフォーカス回路 (AF)

- 11 自動露出制御回路 (AE)
- 12 オートホワイトバランス回路 (AWB)
- 13 液晶表示装置
- 14 外部表示用端子
- 15 圧縮伸長回路
- 16 記録媒体
- 17 絞り
- 21 フォトダイオード
- 22 トランスマニアゲート
- 23 垂直シフトレジスタ
- 24 水平シフトレジスタ
- 25 信号検出器
- 30 Vドライバ
- 31 DC-DCコンバータ
- 32 直流電源
- 35 スイッチ

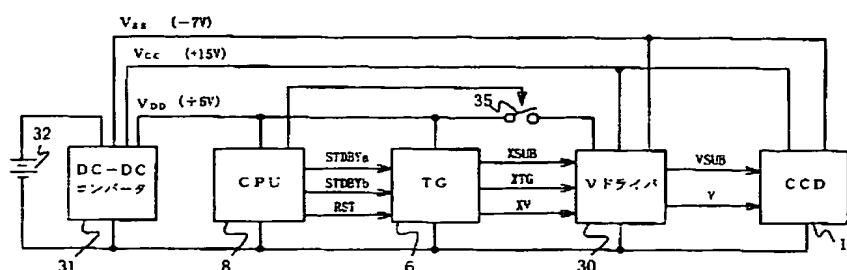
【図1】



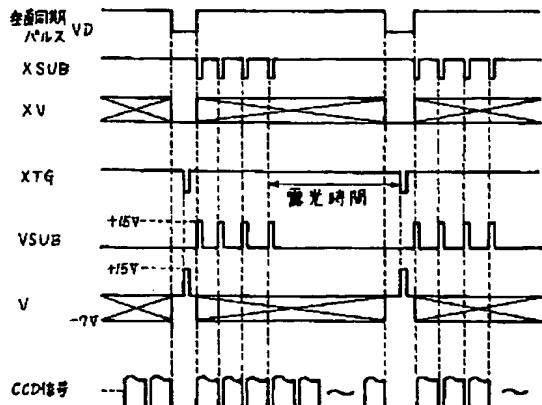
【図2】



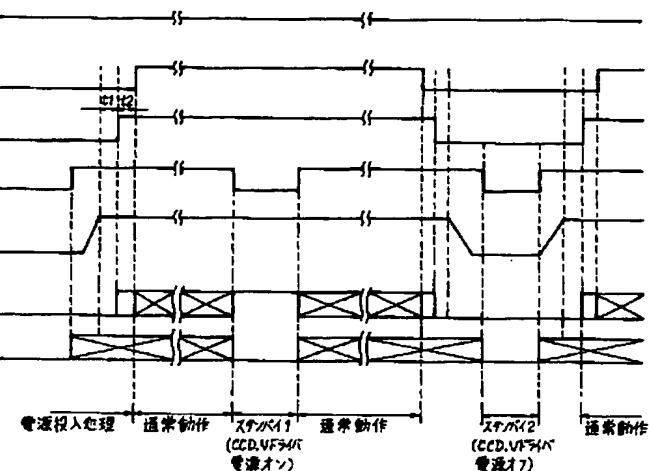
【図3】



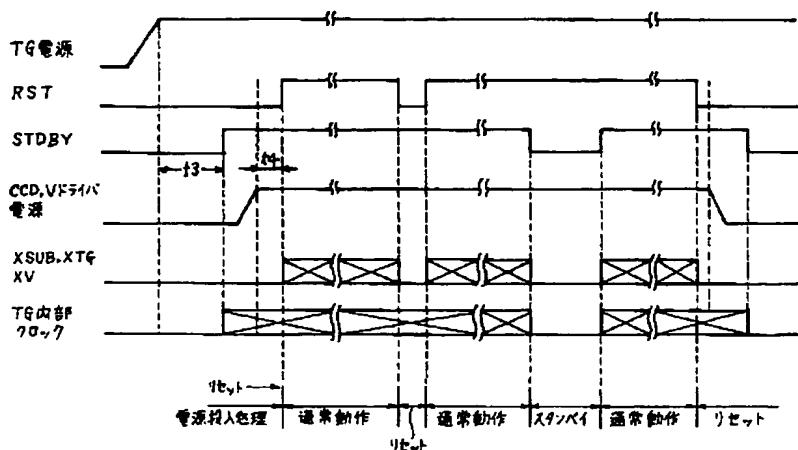
【図4】



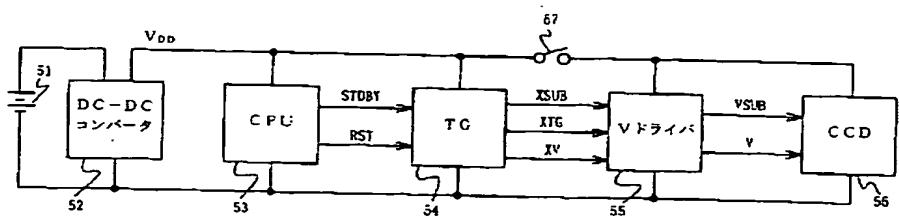
【図5】



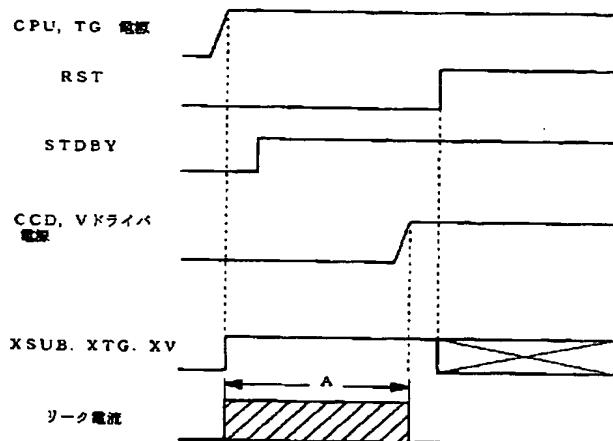
【図6】



【図7】



【図8】



【図9】

